

## THIN FILM TRANSISTOR

**Publication number:** JP3185840 (A)

**Publication date:** 1991-08-13

**Inventor(s):** KONYA NAOHIRO

**Applicant(s):** CASIO COMPUTER CO LTD

**Classification:**

- international: **H01L29/78; H01L21/336; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/336; H01L29/784**

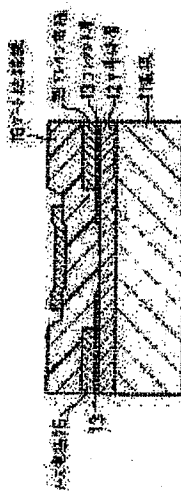
- European:

**Application number:** JP19890323939 19891215

**Priority number(s):** JP19890323939 19891215

### Abstract of JP 3185840 (A)

**PURPOSE:** To thin an insulating film to the utmost, and improve transistor characteristics, by forming a source electrode and a drain electrode at positions where said electrode do not overlap with a gate electrode, and forming a contact layer from N-type fine crystal silicon. **CONSTITUTION:** A semiconductor layer 12 composed of amorphous silicon is formed on a substrate 11 composed of glass and the like so as to cover the substrate 11. On the semiconductor layer 12, a contact layer 13 composed of N-type fine crystal silicon is formed on the whole part of semiconductor layer 12 except the channel part of a transistor. On the contact layer 13, a source electrode 14 and a drain electrode 15 of metal like chromium are formed at positions where said electrodes do not overlap with a gate electrode 17. As a result, when a gate insulating film 16 sufficiently covers the step of the film thickness of the drain electrode 15, the breakdown strength between the gate electrode 17 and the source electrode 14 and the drain electrode 15 can be secured.



Data supplied from the esp@cenet database — Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-185840

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月13日

H 01 L 21/336  
29/784

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 平1-323939

⑰ 出 願 平1(1989)12月15日

⑱ 発 明 者 紺 屋 直 弘 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

ゲート電極と、このゲート電極を絶縁するゲート絶縁膜を挟んで前記ゲート電極と対向して形成された半導体層と、この半導体層に対してコンタクト層を介して電氣的に接続されたソース電極およびドレイン電極とを有する薄膜トランジスタにおいて、前記ソース電極およびドレイン電極を前記ゲート電極と重ならない位置に形成し、かつ前記コンタクト層をn型微結晶シリコンから形成したことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は例えばアクティブマトリックス型液晶表示装置の画素電極選択用スイッチング素子として用いられる薄膜トランジスタに関するものである。

[従来の技術]

従来、この種の薄膜トランジスタは第3図(ここではコプラナ型を示す)に示すような構造となっており、ガラス等からなる基板1上にはアモルファスシリコン(a-Si)からなる半導体層2が基板1を覆うように形成されている。この半導体層2の上にはn型シリコン(n<sup>+</sup>-Si)からなるコンタクト層3がトランジスタのチャンネル部を除く半導体層2の全面に形成されており、このコンタクト層3の上にクロム(Cr)等の金属からなるソース電極4およびドレイン電極5が形成されている。そして、窒化シリコン(SiN)等からなるゲート絶縁膜6が上記ソース電極4およびドレイン電極5と前記半導体層2のチャンネル部の上にこれらを覆うように形成されており、このゲート絶縁膜6の上にクロム(Cr)等の金属からなるゲート電極7が形成されている。

[発明が解決しようとする課題]

ところで、このような従来の薄膜トランジスタのスイッチング動作特性とゲート電極7から半導

体層2のチャンネル部への電界の強度とを考慮すると、ゲート絶縁膜6の膜厚はできるだけ薄いほうが良い。しかし、ゲート絶縁膜6の膜厚を薄くすると、コンタクト層3とソース電極4あるいはドレイン電極5とを足し合わせた膜厚(約700~1500Å)の段差部にクラック等が発生する可能性があり、ゲート電極7とソース電極4およびドレイン電極5とが短絡する虞が生じる。したがって、ゲート絶縁膜6の膜厚は少なくともコンタクト層3とソース電極4あるいはドレイン電極5とを足し合わせた膜厚の段差を十分に覆う厚さでなければならない。しかも、従来の薄膜トランジスタは第3図に示すように、ソース電極4およびドレイン電極5の一部がゲート電極7と重なり合っているため、これらの電極間に容量が発生し、動作特性に悪影響を及ぼすものであった。

本発明は上記のような問題点に鑑みてなされたもので、その目的はゲート絶縁膜を極力薄くしてトランジスタ特性の向上を図ることのできる薄膜トランジスタを提供することにある。

コンタクト層をn型微結晶シリコンから形成することにより、コンタクト層の導電率を高くすることができ、ソース及びドレイン間に大きな電流を流すことができる。

#### 〔実施例〕

以下、図面を参照して本発明の実施例を説明する。

第1図は本発明の一実施例を示すコプラナ型薄膜トランジスタの断面図であり、ガラス等からなる基板11上にはアモルファスシリコン(a-Si)からなる半導体層12が基板11を覆うように形成されている。この半導体層12の上にはn型微結晶シリコン( $n^+ - \mu c - Si$ )からなるコンタクト層13がトランジスタのチャンネル部を除く半導体層2の全面に形成されており、上記コンタクト層13の上にはクロム(Cr)等の金属からなるソース電極14およびドレイン電極15が後述するゲート電極17と重ならない位置に形成されている。また、前記半導体層12の上には窒化シリコン(SiN)等からなるゲ-

#### 〔課題を解決するための手段〕

上記課題を解決するために本発明は、ゲート電極と、このゲート電極を絶縁するゲート絶縁膜を挟んで前記ゲート電極と対向して形成された半導体層と、この半導体層に対してコンタクト層を介して電気的に接続されたソース電極およびドレイン電極とを有する薄膜トランジスタにおいて、前記ソース電極およびドレイン電極を前記ゲート電極と重ならない位置に形成し、かつ前記コンタクト層をn型微結晶シリコンから形成したものである。

#### 〔作 用〕

本発明に係る薄膜トランジスタは、ソース電極およびドレイン電極がゲート電極と重ならない位置に形成されているので、ゲート絶縁膜の膜厚をソース電極あるいはドレイン電極の膜厚の段差を覆う厚さにすればゲート電極とソース電極およびドレイン電極との絶縁耐圧を確保することができる。したがって、ゲート絶縁膜を極力薄くでき、ゲート絶縁膜の薄膜化を図ることができる。また、

ト絶縁膜16が上記ソース電極14およびドレイン電極15と前記半導体層12のチャンネル部の上にこれらを覆うように形成されており、このゲート絶縁膜16の上にクロム(Cr)等の金属からなるゲート電極17が形成されている。

このように構成される薄膜トランジスタでは、ソース電極14およびドレイン電極15がゲート電極17と重ならない位置に形成されているので、ゲート絶縁膜16がソース電極14あるいはドレイン電極15の膜厚(約500~1000Å)の段差を十分に覆えればゲート電極17とソース電極14およびドレイン電極15との絶縁耐圧を確保することができる。したがって、ゲート絶縁膜16を必要以上に厚くする必要がなく、ゲート絶縁膜16の薄膜化を図ることができる。これによりゲート電極17からチャンネル部にかける電界を高くすることができ、薄膜トランジスタをスイッチング素子として使用した場合にスイッチング動作が速くなる。また、ゲート電極17とソース電極14およびドレイン電極15とが重ならないので、

トランジスタ特性を向上させることができる。

また、上記実施例ではコンタクト層13がn型シリコンに比べ導電率が3桁程度大きいn型微結晶シリコンから形成されているので、ソース及びドレイン間に流れる電流を増大させることもできる。

また、第1図に示したコプラナ型薄膜トランジスタを製造する場合には、まず第2図(a)に示すように基板11上に半導体層12、コンタクト層13、ソース及びドレイン電極用金属膜18を基板11の全面に順次形成する。次に第2図(b)に示すようにソース及びドレイン電極用金属膜18をエッチングしてゲート電極17と重ならない位置にソース電極14およびドレイン電極15を形成した後、第2図(c)に示すようにコンタクト層13をエッチングしてトランジスタのチャンネル部を形成する。その後、第2図(d)に示すように基板11上にゲート絶縁膜16およびゲート電極用金属膜19を順次形成した後、第2図(e)に示すようにゲート電極用金属膜19をエ

ッチングしてゲート電極17を形成する。なお、n型微結晶シリコンからなるコンタクト層13を形成する場合には、シラン対水素対ホフビンの比を例えば1:100:1とし、放電パワーを高めてプラズマCVD法で成膜することによりn型微結晶シリコンからなるコンタクト層13を得ることができる。

なお、上記実施例ではコプラナ型薄膜トランジスタについて説明したが、本発明はこれに限定されるものではなく、逆コプラナ、スタガー、逆スタガー構造の薄膜トランジスタについても適用可能である。また、本発明の薄膜トランジスタは液晶表示装置以外の用途にも使用可能である。

#### 〔発明の効果〕

以上説明したように本発明は、ゲート電極と、このゲート電極を絶縁するゲート絶縁膜と、このゲート絶縁膜を挟んで前記ゲート電極と対向して形成された半導体層と、この半導体層に対してコンタクト層を介して電気的に接続されたソース電極およびドレイン電極とを有する薄膜トランジ

スタにおいて、前記ソース電極およびドレイン電極を前記ゲート電極と重ならない位置に形成し、かつ前記コンタクト層をn型微結晶シリコンから形成したものである。したがって、ゲート絶縁膜の膜厚をソース電極あるいはドレイン電極の膜厚の段差を覆う厚さにすればゲート電極とソース電極およびドレイン電極との絶縁耐圧を確保できるので、ゲート絶縁膜を極力薄くでき、ゲート絶縁膜の薄膜化を図ることができる。また、コンタクト層をn型微結晶シリコンから形成することにより、コンタクト層の導電率を高くすることができ、ソース及びドレイン間に流れる電流を増大させることができる。

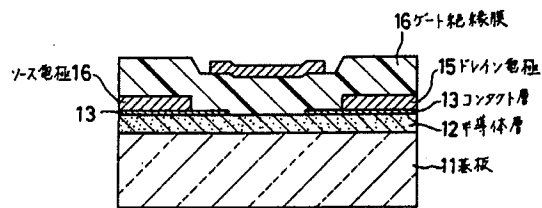
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すコプラナ型薄膜トランジスタの断面図、第2図(a)～(e)は第1図に示した薄膜トランジスタの製造方法を示す図、第3図は従来のコプラナ型薄膜トランジスタの断面図である。

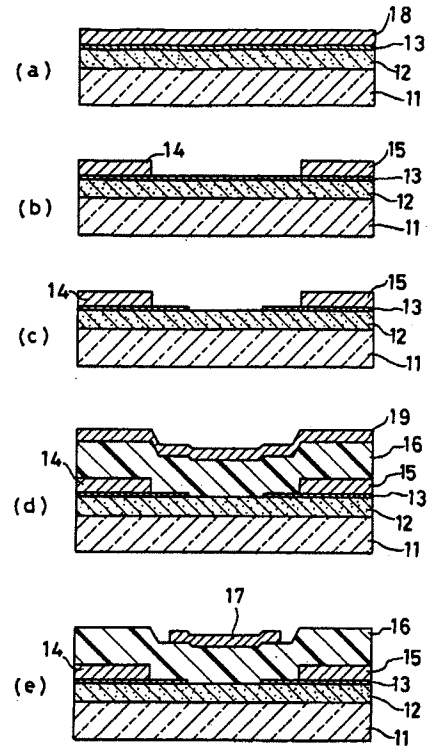
11…基板、12…半導体層、13…コンタク

ト層、14…ソース電極、15…ドレイン電極、16…ゲート絶縁膜、17…ゲート電極。

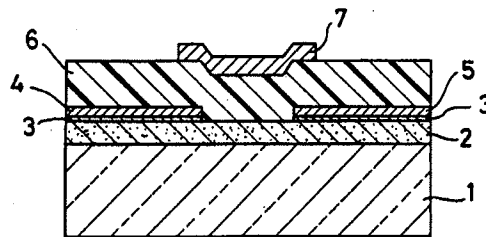
出願人 カシオ計算機株式会社



第 1 図



第 2 図



第 3 図